

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-241146

(43)Date of publication of application : 26.09.1989

(51)Int.Cl.

H01L 21/82
H01L 27/04

(21)Application number : 63-067108

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.03.1988

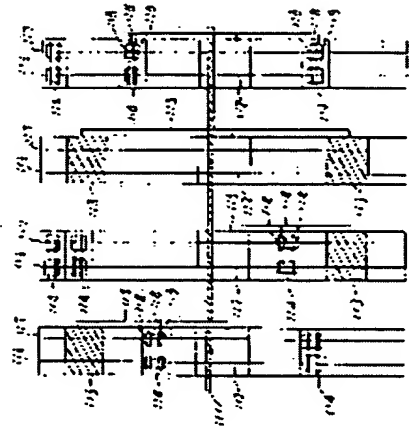
(72)Inventor : KURIBAYASHI MOTOTAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce a clock skew without lowering the utility of the whole chip by inserting a cell for load anew by employing a fundamental cell in a master slice not used by automatic arrangement or automatic wiring and approximately equalizing the capacity load of, each clock driver.

CONSTITUTION: A plurality of clock drivers 112, which are dispersed and disposed onto a semiconductor chip and over which system clock signals are transmitted, main cells 113, over which clock signals 115 are transmitted from these clock drivers 112, and clock wirings connecting fundamental gates 114 not used as functional cells 10b in fundamental gates to the clock drivers 112 are provided. The number of the clock wirings is determined so that the load of the clock drivers 112 is equalized. Accordingly, a transistor not employed is utilized for making the load of the clock drivers 112 equal, and a dummy cell for load need not be inserted anew; thus reducing clock skew without diminishing utility.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 241146/1989 (Tokukaihei 1-241146)

A. Relevance of the Above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

See the attached English Abstract.

(1)

【特許請求の範囲】

- (1) 1つの半導体チップ内に、トランジスタにより構成される基本ゲートを予め複数マトリックス状に集積形成し、これら基本ゲートを適宜に配線して所望の論理機能を有する機能セルを構成し、これら機能セルを適宜に配線して所望の論理動作を実行する論理回路を構成するようになるマスタースライスの半導体集積回路において、半導体チップ上に分散して配置され、システムクロック信号が供給される複数個のクロックドライバと、これらのクロックドライバからクロック信号が供給されるメインセルと、前記基本ゲートのうち機能セルを構成するために使用されなかった基本ゲートを前記クロックドライバに接続するクロック配線を具備し、前記クロック配線の数は、前記各クロックドライバの負荷が均一化するように決定されるものであることを特徴とする半導体集積回路装置。
- (2) クロックドライバに接続される基本ゲートのソース及びドレインの両電位が、電源またはグラウンドの電位に等しく保たれることを特徴とする請求項1記載の半導体集積回路装置。
- (3) 前記マスタースライス型の半導体集積回路は、チップ内に基本ゲート領域と配線のためのチャネル領域が区別されているもの、及びチップ内に基本ゲートが全面に敷詰められているものを許すことを特徴とする請求項1記載の半導体集積回路装置。
- (4) システムクロック信号を分散して配置されたクロックドライバに供給し、該ドライバからメインセルにクロック信号を供給する半導体集積回路装置の製造方法において、各クロックドライバの担当する領域内のメインセルの数に応じて、前記未使用基本ゲートへのクロック配線の本数を決定することを特徴とする半導体集積回路装置の製造方法。
- (5) 前記未使用基本ゲートへのクロック配線を行う場合、全ての配線が終了した後に、空き領域を探して結線することを特徴とする請求項4記載の半導体集積回路装置の製造方法。

④ 日本国特許庁 (JP) ⑤ 特許出願公開

⑥ 公開特許公報 (A) 平1-241146

Int. Cl.⁴ H 01 L 21/02 27/04 特許庁 平成1年(1989)9月28日
M-7825-SF A-7514-SF 審査請求 未請求 請求項の数 5 (全8頁)

⑦ 発明の名称 半導体集積回路装置及びその製造方法

⑧ 特 願 昭63-67108

⑨ 出 願 昭63(1988)3月23日

⑩ 発 明 者 林 元 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究

⑪ 出 願 人 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑫ 代 理 人 井 理 士 則 近 恵 祐 所 外 1 名

【半導体集積回路 マスター スライス 基本 ゲート クロック ドライバ チップ ユニティ スキュー メイン セル トランジスタ ダミ ン】

(51) 【要約】

【目的】 自動配線又は自動配線によって使用されないマスタースライスの基本ゲートを使用して各クロックドライバの容量負荷をばらばらにすることにより、新たに負荷用セルを挿入してチップ全体のユニティの低下を起すことなくクロックスキューの低減を可能にする。

【構成】 半導体チップ上に分散して配置され、システムクロック信号が供給される複数個のクロックドライバ112と、これらのクロックドライバ112からクロック信号115が供給されるメインセル113と、基本ゲートのうち機能セル110bとして使用されなかった基本ゲート114をクロックドライバ112に接続するクロック配線とを備える。そしてクロック配線の数は、クロックドライバ112の負荷が均一化するように決定する。これにより未使用トランジスタをクロックドライバ112の負荷を均しくするために利用し、新たに負荷用ダミーセルを挿入しなくとも、ユニティを減少させることなく、クロックスキューを低減することができる。

④発明の名称
半導体集積回路装置及びその製造方法

④特 願 昭63-67108
⑤出 願 昭63(1988)3月23日
⑥免 明 香 栗 林 元 隆 神奈川県川崎市幸区小向東芝町1
所内
株式会社東芝
株 式 会 社 東 芝
出 願 人 近 藤 祐 外1名
代理人 井理士 川崎市幸区堀川町2番地

1. 発見の名称
半導体集積回路回路図及びその製造方法
2. 特許請求の範囲
 - (1) 1つの半導体チップ内に、トランジスタにより構成される基本ゲートを多数個マトリックス状に集積形成しこれら基本ゲートを適宜に配列して所定の論理回路を有する回路素子を構成し、これら回路素子を適宜に配列して所定の論理動作を実行する論理回路を構成するようになるアサートラス型(の半導体集積回路)において、半導体チップ上に分散して配置され、シフトレジスタ(シフトレジスタ)番号が供給される回路図のクロックドライバと、これらのクロックドライバからクロック信号が供給されるメインセルと、前記基本ゲートのうち回路素子を構成するために使用されなかった基本ゲートを特記クロックドライバに接続するクロック回路を具備し、前記クロック回路の数は、前記各クロックドライバの個数に等しい一化するように形成されるものである。

記事の半端は、本報新聞部編輯部の製造方法。

3. 以該方與該方之關係

(發明の目的)
(産業上の利用分野)

本發明は、マス・スライス方式で設計された半導体集積回路に係わり、特にロコピン駆動方式の改良を以てこの半導体集積回路の製造及びその製造方法に関する。

(従来の技術)

近年、東洋国産鋼の大規模輸出に特化し、ヨーロッパ系の設計に適應した重宝を支軸の受荷が生じている。大規模製鋼用鋼筋においては、一つのクロアチア鋼骨に四角形して多数のネーロフアリ、アフロア等が製作する。従つて、ヨーロッパ鋼骨線は、イワツト設計被チヤア全面に張り廻らされ、多数のヨーロッパが生じる。

このような大規模回診においては、1回のシス
テムクロック発生時から直接各ゲートやフリップ

され、分けてなく、局所的に存在する場合があり、因変数のクロスロードがダイバの負荷のパラメータによるクロッシングやエラーが発生し、間違ったデータ伝送がなされる等の副作用が生じる。これを回避するには、自動配置プログラムにおいて、各クロッシングダイバセルに格納されるアリアフロップ等の数を等しくすると云う制約条件の下で配置処理を行なうなければならない。これを行うには配置プログラムが非常に複雑なものとなるのみならず、この制約条件のために配置結果に悪影響を及ぼし、配置時における処理時間の低下を招く。

(説明が解決しようとする課題)

このように、システムクロック信号を、分岐して配置された複数のクロックドライバセルを、それぞれが均一に、システムクロック信号の各負荷要素に供給する方式は、自動レイアウトする場合やクロックドライバセル等の各負荷要素が均一にならざることを、前提とする。つまり、分岐点が均一にならざることを、前提とする。本説明は上記事情を考慮してなされたものである。その目的とするところは、自動配置結果及び配置

時間平1-211146(2)

フロップ等にクロック信号線を提供する代りに、クロックドライバを分岐化し、分岐化した複数のクロックドライバに一旦クロック信号を提供し、各クロックドライバからゲートやトリップフロップ等に供給される手段が提案とされている。この方式においては、主にクロックとされている成分を低減させることを目的として、レジスタクロック発生部とクロックドライバの配線を、大なり、クロックラインを格子里に配線する等の工夫がなされている。このようなクロック分配方式では、クロック信号は、各クロックドライバ部に配線した場合、システム全体の発生はほぼ同期であるとするためである。

しかしながら、各々のコロポッドタイプに提供されるフリアフロア等の図面、即ち奥屏が必ずしも均一でないために、各々のフリアフロア層に供給されるコロポッド番号にはスキャーが生じる。

つまり、自動配置、配線プログラムでレイアウトする場合、フリップ、フリップ等が均一に分配

事を低下せしめんとなく、良好なロッソ信守の
政治ができ、ロッソサヌーのよい半端は義理
同様に及ぶ。その政治方針を提供することにある。
〔純明の謝辞〕

(問題を解決するための手段)

本発明の骨子は、複版のクロマッドライパの
組替機構が一になるように、各ドライパに取
替可能な取替機構を設けることにある。

[illegible]

法は、第6図や第10図に何等設置されるものでない。その他、本発明の装置を添設しない純粋で、用み成形して実施することができ。

(発明の効果)

以上述べたように本発明によれば、未使用トランジスタをクロックドライバの集積を著しくするために利用し、新たに集積用ダイオードを挿入しなくとも、ユーティリティを減少させることなく、クロックシステムを低減することができる。

4. 図面の簡単な説明

第1図乃至第11図は本発明の一実施例を説明するための図で、第1図はチャタリス方式のチャタリスにおけるクロック配線状態を示す図、第2図は上記チャタリス方式のチャタリスの構造を示す図、第3図は上記チャタリスの構造を示す図、第4図乃至第5図は上記チャタリスに對してセル列を構成してレイアウトを行う場合のセル列の構成の一例を示す図、第6図は従来の方式におけるクロック供給法を示す図、第7図は本発明を適用する一

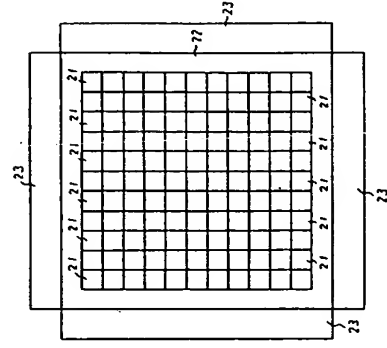
形態を示したフローチャート、第8図は、未使用ゲートへのクロック配線の様子とトランジスタのソース、ドレインの位置を等しくするために用いたグラウンドへ接続した配線を示す図、第9図はチャタリスのチップの構造を示した図、第10図は従来の方式におけるクロック供給法を示す図、第11図は本発明によるクロック配線状態を示す図である。

- 11、41、51、61…セル列、12、22、42、52、62…配線領域(チャタリス)、
- 13、23、43、53、63、93…周型入出力回路(またはトランジスタ)、
- 14、64…シフトクロック発生器、
- 15、65、82、101、111…クロック信号ライン、
- 16、66、103、113…ラインセル、
- 17、67、84、105、115…クロック信号線、
- 18、89…ゲートと接続するクロック信号線、
- 19、61、103、113…クロックドライバセル、

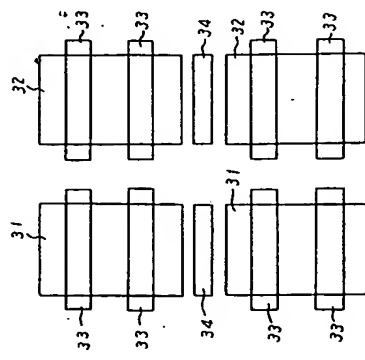
セル、

- 31、32…接続領域、
- 33…ゲートリフレクタ、
- 34…サブコンタクト、
- 83…クロックドライバ出力端子、
- 85、86、110、117…電源またはグラウンド、
- 87…電源とトランジスタのソースまたはドレインと接続する配線、
- 88、118…コンタクト、
- 810…クロックドライバ出力端子、
- 104、114…接続セルとして使用されなかった基本セル、
- 106…接続セル、

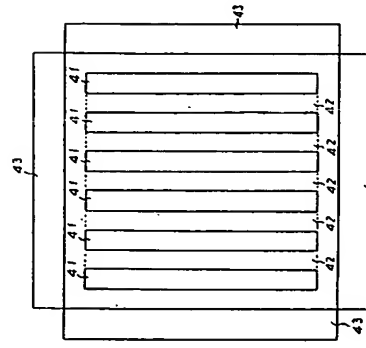
代理人 弁理士 岡 近 幸・ 街 岡 公 山 九 之



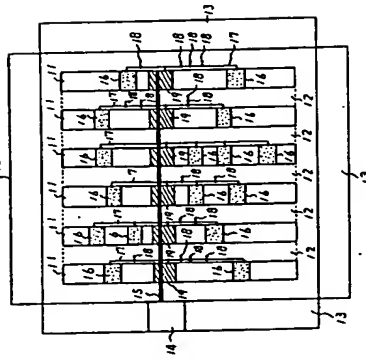
第 2 図



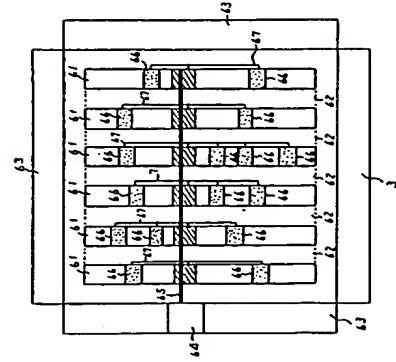
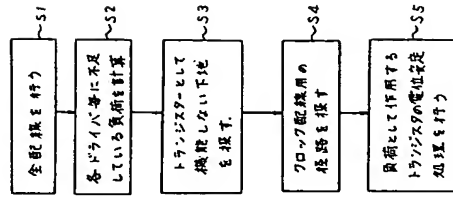
第 3 図



第 4 図

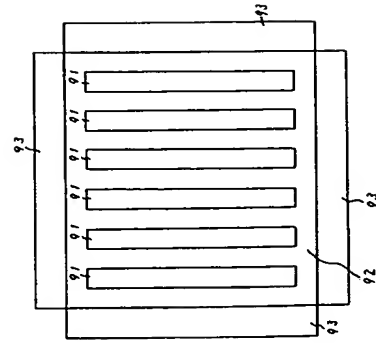


第 5 図

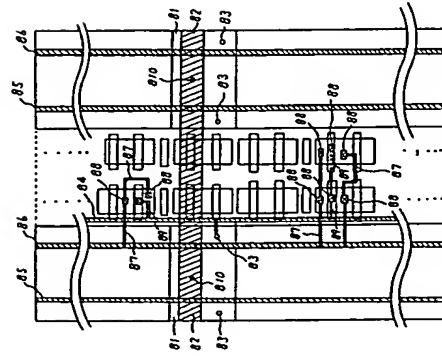


第 6 図

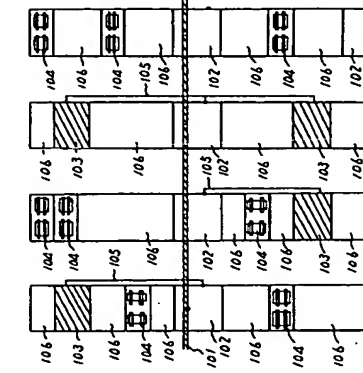
第 7 図



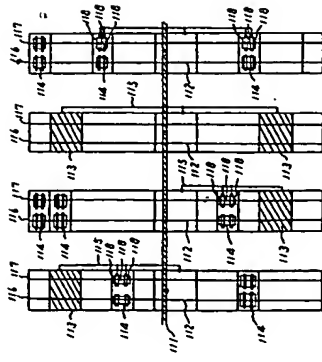
第 9 図



第 8 図



第 10 図



第 11 図